



①⑨ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENTAMT**

①② **Off nlegungsschrift**
①⑩ **DE 196 32 780 A 1**

⑤① Int. Cl.⁶:
G 11 C 7/00
G 11 C 11/413

②① Aktenzeichen: 196 32 780.6
②② Anmeldetag: 15. 8. 96
④③ Offenlegungstag: 19. 2. 98

DE 196 32 780 A 1

⑦① Anmelder:
International Business Machines Corp., Armonk,
N.Y., US

⑦④ Vertreter:
Teufel, F., Dipl.-Phys., Pat.-Anw., 70569 Stuttgart

⑦② Erfinder:
Buettner, Stefan, 71067 Sindelfingen, DE; Pille,
Jürgen, 70569 Stuttgart, DE; Wendel, Dieter, 71101
Schönaich, DE; Wernicke, Friedrich, 71088
Holzgerlingen, DE

⑤⑥ Entgegenhaltungen:
EP 02 83 019 A2
IEICE Trans.Electron., Vol. E 78-C, No. 7, Juli 1995,
S. 797-804;

Prüfungsantrag gem. § 44 PatG ist gestellt

⑥④ Verbesserter Restore für Speicherzellen mittels negativer Bitline-Selektion

⑤⑦ Es wird eine neuartige Methode zum Restore von Bitlines und Datalines von Speicherzellen angegeben. Alle Bit- und Datalines werden während des Restore zusammengeschaltet, damit alle Restore-FETs gemeinsam den nötigen Nachladestrom bereitstellen können. Die nicht adressierten Bitlines werden dann über ihre Bitswitches abgeschaltet. Auf diese Weise können die Nachladedevice wesentlich kleiner dimensioniert werden.

DE 196 32 780 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 12. 97 702 068/221

15/23

Die Erfindung betrifft ein Verfahren sowie eine Vorrichtung zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays, wobei die Schreib- und/oder Leseleitungen während einer Restore-Phase auf ein Ausgangspotential gebracht werden. Die Erfindung betrifft insbesondere eine verbesserte Methode zur Durchführung dieses Restores.

Bei der im Stand der Technik (Figurenbeschreibung) angegebenen Methode des Restore müssen alle Schreib- und/oder Leseleitungen einzeln über eigene FETs nachgeladen werden. Dies ist unwirtschaftlich und erfordert große FETs.

Es stellt sich daher die Aufgabe, eine Methode für den Restore von Schreib- und/oder Leseleitungen eines Speicherzellen-Arrays vorzuschlagen, bei der der für den Restore erforderliche Nachladestrom von allen Restore-Devices zusammen aufgebracht wird.

Diese Aufgabe wird erfindungsgemäß dadurch gelöst, daß während der Restore-Phase zum Potentialausgleich zwischen den Schreib- und/oder Leseleitungen verbunden werden. Dazu sind Mittel zum Verbinden von mindestens zwei der Schreib- und/oder Leseleitungen während der Restore-Phase vorgesehen.

Auf diese Weise tragen all die Restore-FETs, die mit den verschiedenen Schreib- und/oder Leseleitungen gekoppelt sind, zum Restore bei, der von den einzelnen FETs zu schaltende Strom verkleinert sich wesentlich, da sich die Last auf eine größere Zahl von Devices verteilt.

Dadurch können die Restore-Devices kleiner dimensioniert werden, was erhebliche Platzeinsparungen in der Ansteuerschaltung des SRAM-Arrays bedeutet. Die Speicherbausteine können dadurch weiter verkleinert werden.

Ein weiterer Vorteil der erfindungsgemäßen Lösung ist, daß mit der geringeren Größe der Restore-Devices auch die an die Schreib-/Leseleitungen gekoppelte parasitäre Kapazität sinkt. Je geringer diese parasitären Kapazitäten sind, umso schneller kann eine Ladungs- und Potentialveränderung auf einer Schreib-/Leseleitung vorgenommen werden. Die zum Beschreiben und Auslesen einer Speicherzelle erforderlichen Zeiten verringern sich erheblich, da die Zeiten, die die entsprechenden Signale zu ihrer Propagation benötigen, erheblich geringer werden. Dadurch kann der Taktzyklus weiter verringert werden.

Ein weiterer Vorteil der Erfindung ist, daß die zum Adressieren der Speicherzellen verwendeten Bitswitches zweckentfremdet werden können, um den verbesserten Restore durchzuführen. Dazu werden einfach alle Bitswitches während der Restore-Phase leitend gemacht, um so einen Potentialausgleich zwischen allen Leitungen zu ermöglichen.

Ein weiterer Vorteil der Erfindung ist, daß die Entkopplung der adressierten Bitlines von den Datalines beim Aktivieren des Ausleseverstärkers mit sehr geringem Hardwareaufwand durchgeführt werden kann.

Fig. 1 zeigt die Struktur einer typischen, aus 6 Devices (4 n- und 2 p-Devices) bestehenden SRAM-Speicherzelle.

Fig. 2 zeigt, wie SRAM-Speicherzellen zu einem Array zusammengefaßt werden.

Fig. 3 stellt eine Read-Write-Restore Schaltung dar, mit der die SRAM-Speicherzelle von Fig. 1 beschrieben und ausgelesen werden kann.

Fig. 4 zeigt den Signalstatus der Bitswitch-Leitungen im zeitlichen Verlauf für den Fall des positiven Selektionsschemas, wobei sowohl die Bitswitch-Leitungen der selektierten als auch der nicht-selektierten Bitlines dargestellt sind.

Fig. 5 stellt eine veränderte Ansteuerschaltung für SRAM-Speicherzellen dar, wobei aber nur der Lese- und der Restore-Pfad ausgeführt sind.

Fig. 6 zeigt eine Schaltung, mit der die Bitswitches der Fig. 5 entsprechend einem negativen Selektionsschema selektiert werden können.

Fig. 7 zeigt den Signalstatus der Bitswitch-Leitungen im zeitlichen Verlauf für den Fall des negativen Selektionsschemas, wobei sowohl die Bitswitch-Leitungen der selektierten als auch der nicht-selektierten Bitlines dargestellt sind.

Fig. 8 zeigt den zeitlichen Verlauf der für einen Lesezugriff auf eine SRAM-Zelle relevanten Signale.

Fig. 9 stellt den zeitlichen Verlauf der für einen Schreibzugriff auf eine SRAM-Zelle relevanten Signale dar, wobei simultan zum Schreiben ein Lesezugriff auf dieselbe Zelle stattfindet (wright-through).

In Fig. 1 ist die Schaltung einer aus sechs FETs, vier n-FETs und zwei p-FETs, dargestellt. Das eigentliche Flip-Flop besteht dabei aus den Devices 106, 107, 108, 109. Dieses Flip-Flop ist über die Leitungen 104, 105 mit den n-Devices 102 verbunden, an deren Gate-Eingang (103) jeweils das Wordline-Signal anliegt. Wenn die entsprechende Wordline selektiert und daher das Wordline-Signal auf VDD gesetzt ist, werden diese Devices (102) leitend und stellen eine Verbindung zwischen der Leitung 105 und der True-Bitline (100), sowie zwischen der Leitung 104 und der Complement-Bitline (101) her.

Folgende zwei Zustände des Flip-Flops sind möglich: Wenn das p-Device 106 leitet, liegt die Leitung 105 auf VDD-Potential, was bedeutet, daß das p-Device 107 sperrt, das n-Device 109 dagegen leitet. Dadurch wird die Leitung 104 auf GND-Potential gesetzt. Dies wiederum bewirkt, daß das p-Device 106 leitend bleibt, das n-Device 108 dagegen weiterhin sperrt. Dieser Zustand des Flip-Flops, bei dem die Leitung 105 auf VDD, die Leitung 104 auf GND liegt, wird auf die True-Bitline (100) und die Complement-Bitline (101) durchgeschaltet, wenn die entsprechende Speicherzellen-Reihe ("row") durch ein VDD-Potential der Wordline (103) selektiert ist.

Der zweite Zustand des Flip-Flops wird dann eingenommen, wenn der p-FET 106 sperrt, der n-FET 108 dagegen leitet. Dies bedeutet, daß die Leitung 105, und damit auch die Gates der Devices 107 und 109, auf GND-Potential liegen. Dadurch wird der p-FET 107 leitend, während der n-FET 109 gesperrt ist. Signalleitung 104 liegt deshalb auf VDD-Potential, weshalb der anfangs angenommene Status (Device 106 sperrt, Device 108 leitet) erhalten bleibt. Wird in diesem Falle die Wordline (103) aktiviert, so wird auf die True-Bitline (100) ein GND-Potential, auf die Complement-Bitline (101) dagegen ein VDD-Potential durchgeschaltet.

In Fig. 2 ist ein Array von SRAM-Zellen dargestellt. Die Selektion einer bestimmten SRAM-Zelle aus diesem Array erfolgt dadurch, daß die entsprechende "row" durch Aktivieren der Wordline und die entsprechende "column" durch Selektion des aus der True- und Complementleitung bestehenden Bitline-Paares bestimmt wird. Beispielsweise wird die SRAM-Zelle 204 dadurch ausgewählt, daß die Wordline WL1 (202) auf VDD gesetzt wird und das Bitline-Paar BL0, das aus der True-Bitline BLT0 (200) und der Complement-Bitline BLC0

(201) besteht, ausgelesen wird.

In Fig. 3 ist eine Ansteuerschaltung gezeigt, mit der ein Schreib- oder Lesezugriff auf die Speicherzellen des Arrays erfolgt. Die in Fig. 2 gezeigte True-Bitline BLT0 und die Complement-Bitline BLC0 sind auch in Fig. 3 anzutreffen (300, 301); das Flip-Flop selbst sowie die Wordline sind in Fig. 3 nicht eingezeichnet.

Um einen Schreibzugriff auf eine SRAM-Speicherzelle durchzuführen, muß eine der beiden Bitlines eines Bitline-Paares auf VDD, die andere auf GND gesetzt werden. Dies geschieht, indem die Bitlines 300, 301 über die n-FETs 304, 305 mit den Data-In Lines (302, 303) verbunden werden, deren Signalstatus von den durch den Data-In Buffer gelieferten Daten abhängt. Um die n-FETs (304, 305) auf Durchgang zu schalten, muß an deren Gates (306) ein VDD-Potential angelegt werden. Bei der gezeichneten Schaltung ergibt sich, daß die für den Schreibzugriff erforderliche Verbindung dann hergestellt wird, wenn die Write-Bitswitch Leitung WBS0 auf GND-Potential gesetzt wird. Liegt die Write-Bitswitch Leitung WBS0 auf VDD, so ist der Schreibpfad völlig von den Bitlines (300, 301) entkoppelt.

In ähnlicher Weise kann eine Verbindung zwischen den Bitlines (300, 301) und dem Lesepfad hergestellt werden. Dazu kann die True-Bitline BLT0 (300) über das p-Device 309 mit der True-Dataline 0 verbunden werden, entsprechend kann eine Verbindung von der Complement-Bitline BLC0 (301) über den p-FET 310 zu der Complement-Dataline 1 (308) hergestellt werden.

Um die beiden Devices 309, 310 leitend zu machen, ist es erforderlich, das Signal BS0 am Gate 311 auf GND zu legen. Dies wird bewerkstelligt, indem die Bitswitch-Leitung BITS0 von GND auf VDD schaltet und das NAND-Gatter 334, einen ersten Inverter 335 und einen zweiten Inverter 336 passiert. Durch diese dreimalige Inversion wird ein Übergang auf GND am Gate 311 der beiden p-Devices 309, 310 bewirkt. Dadurch wird eine Verbindung zwischen den Bitlines 300, 301 und den Data-Lines 307, 308 hergestellt.

Auf diese Weise ist nun eine Verbindung zwischen dem auszu lesenden Flip-Flop im Speicher-Array und den Datalines 307, 308 hergestellt. Anfänglich befinden sich beide Datalines, die True-Dataline (307) und die Complement-Dataline (308) auf VDD-Potential. Das Potential derjenigen Dataline, die mit der auf GND-Potential liegenden Bitline verbunden ist, beginnt nun langsam in Richtung GND abzusinken. Insofern entsteht eine Potentialdifferenz zwischen der True-Dataline (307) und der Complement-Dataline (308).

Der Sense-Amplifier hat nun die Aufgabe, diese Potentialdifferenz zu verstärken und ein stabiles Auslesesignal zu generieren. Dieser Sense-Amplifier besteht aus den vier Devices 313, 314, 315 und 316 und wird über die Signalleitung SSA, "Set Sense-Amplifier" (318) und das n-Device 317 aktiviert. Das n-Device 317 wird dann leitend, wenn an seinem Gate-Eingang ein VDD-Signal anliegt. Insofern muß das SSA-Signal (318) von einem GND- auf einen VDD-Pegel übergehen, um den Sense-Amplifier zu aktivieren. Die beiden hintereinander geschalteten Inverter 319 wirken dabei lediglich als Verzögerungsglied. Wenn nun das n-Device 317 leitend geworden ist, so liegt auch die Leitung 320 auf GND, und der Sense-Amplifier beginnt, eine vorhandene Potentialdifferenz zwischen der True-Dataline (307) und der Complement-Dataline (308) zu verstärken.

Es sei nun der Fall angenommen, daß die True-Dataline (307) über ein p-Device (309) des Bitswitch mit der auf VDD befindlichen Bitline der SRAM-Zelle verbun-

den ist, während die Complement-Dataline (308) über das p-Device (310) mit der Complement-Bitline (301) verbunden ist. Das Potential der Bitline (301) beginnt, nachdem eine Speicherzelle durch die entsprechende Wordline selektiert worden ist, langsam in Richtung GND zu driften. Mit einer gewissen Zeitverzögerung gegenüber der Complement-Bitline (301) fängt auch die Complement-Dataline (308) an, in Richtung GND zu driften. Aus diesem Grund liegt das Potential der Complement-Dataline (308) zu dem Zeitpunkt, zu dem das Signal SSA (318) auf VDD springt und damit den Sense-Amplifier aktiviert, um einige 100 mV unter VDD.

Da am Gate 307 der beiden Devices 315, 316 das Potential VDD anliegt, leitet das n-Device 316, während das p-Device 315 sperrt. Insofern wird die Complement-Dataline (308) über die FETs 316, 317 stark in Richtung des Ground-Potentials GND gezogen. Je weiter das Potential auf der Leitung 308 abdriftet, um so besser leitend wird das p-Device 313, und um so stärker wird das n-Device 314 gesperrt. Insofern bleibt das VDD-Potential der True-Dataline (307) im wesentlichen erhalten.

Die Potential-Differenz zwischen der True-Dataline (307), die im wesentlichen auf VDD-Potential bleibt, und der stark abgedrifteten Complement-Dataline (308) hat sich jedoch wesentlich vergrößert und kann zur Ansteuerung des Data-Out Drivers verwendet werden.

Nach jedem Read- oder Write-Zugriff müssen die Bitlines und die Datalines wieder auf das Anfangspotential VDD gebracht werden. Dieser Vorgang, der sich an den Read- oder Write-Zugriff anschließt, heißt Restore-Vorgang. Der Restore der Bitlines wird dabei vom Bit-Restore-Circuit durchgeführt, der aus den p-Devices 325, 326 und 327 besteht. Wenn das Signal Restore-Bitline (323) von GND auf VDD übergeht, so wird das an den Gates der p-Devices 325, 326, 327 anliegende Signal 324 auf GND gesetzt, wodurch die p-Devices leitend werden. Dadurch wird zum einen sowohl die True-Bitline (300) über den FET (325) also auch die Complement-Bitline (301) über den FET (327) mit VDD verbunden, zum andern wird über den — jetzt leitenden — FET (326) eine Verbindung und somit ein Ladungsausgleich zwischen der True- und Complement-Bitline geschaffen. Durch diesen Restore-Circuit wird also erreicht, daß zum einen eine Wiederaufladung der Bitlines auf VDD erfolgt, zum andern die Potentiale der beiden Bitlines ausgeglichen werden.

Analog funktioniert der Sense-Amplifier-Restore-Circuit, der aus den p-Devices 330, 331 und 332 besteht. Wenn das Signal RSA, Reset-Sense-Amplifier (328) von GND auf VDD übergeht, so liegt das an den Gates der FETs (330-332) anliegende, invertierte RSA-Signal (329) auf GND, und alle 3 p-Devices werden leitend. Dies bedeutet, daß zum einen beide Datalines durch die Devices (330, 332) auf VDD gezogen werden, zum andern findet wieder ein Ladungsausgleich zwischen beiden Datalines über den FET (331) statt.

Wichtig bei der Durchführung des Restore-Vorgangs ist, daß die Restore-Devices die zum Potentialausgleich erforderliche Ladung in kurzer Zeit bereitstellen können. Je geringer der zum Restore erforderliche Zeitaufwand ist, um so kleiner kann die gesamte Zykluszeit gewählt werden, und um so größere Taktfrequenzen sind möglich. Insofern müssen die Restore-Devices für einen relativ großen Stromfluß ausgelegt sein. Der Platzbedarf eines Devices hängt nun aber stark von dem von dem Device zu schaltenden Strom ab. Je kürzer man also die Zykluszeit machen möchte, umso größere Restore-Devices sind notwendig. Soll dagegen der

Platzbedarf minimiert werden, so steigt wiederum die Zykluszeit.

Um nun den Restore-Aufwand zu verkleinern, wurde in Fig. 3 eine Schaltung implementiert, die ab dem Zeitpunkt, zu dem auf den Datalines 0 und 1 (307, 308) eine Potentialdifferenz anliegt, die ausreichend für ein sicheres Auslesen ist, eine Entkopplung der Bitlines (300, 301) von den Datalines durchgeführt wird. Dies hat den Vorteil, daß der Sense-Amplifier lediglich die Potentialdifferenz auf den Datalines verstärkt. Insofern wird eine der Datalines in Richtung GND Potential gezogen, nicht aber die zugehörige Bitline. Dies verkleinert den Restore-Aufwand zur Wiederherstellung des Potentials VDD der im Potential abgesunkenen Bitline. Würde man diese Trennung zu Beginn des Auslesevorgangs nicht durchführen, so würde auch eine der Bitlines vom Sense-Amplifier in Richtung GND Potential gezogen werden, und die entsprechende Ladungsmenge müßte während des Restore Vorgangs ersetzt werden.

Diese Entkopplung soll zum Beginn des Auslesevorgangs durchgeführt werden. Das Signal, das den Sense-Amplifier aktiviert, Set Sense-Amplifier (318), wird auch verwendet, um die Entkopplung zwischen dem selektierten Bitline-Paar und den Datalines herzustellen.

In der in Fig. 3 gezeigten Schaltung, die dem Stand der Technik entspricht, wird das SSA-Signal (318) invertiert und an die jeweiligen zweiten Eingänge der NAND-Gatter (334, 337, etc. . .) angelegt, welche die Bitswitch-Leitungen BITS0—BITS3 zu durchlaufen haben.

Der durch diese Schaltung bewirkte Signalverlauf ist in Fig. 4 dargestellt. Die Selektion des auszulesenden Bitline-Paares (405) wurde nach Beendigung des Restore-Vorgangs dadurch durchgeführt, daß die zugehörige Bitswitch-Leitung BITS0 von GND auf VDD gesetzt wurde. Angenommen, das Bitline Paar 0 soll selektiert werden. Dazu muß die Leitung BITS 0 (400) auf VDD gesetzt werden, während die übrigen Bitswitch-Leitungen BITS 1, BITS 2, BITS 3 auf GND bleiben (401). Zur Aktivierung des Sense-Amplifiers (406) wird das Signal SSA (318) auf VDD gesetzt, das invertierte Signal SSA (333) geht deshalb auf GND über (402). Das Signal (311), BS 0, das an den Gates der p-Devices (309, 310) anliegt, zeigt deshalb folgenden Signalverlauf: Bei Selektion der Bitline (405) geht es von VDD auf GND über (403). Der Bitswitch steht jetzt auf Durchgang. Mit der negativen Flanke des invertierten SSA-Pulses jedoch springt das Signal (403) mit Aktivierung des Sense Amplifiers (406) wieder auf VDD. Die Devices (309, 310) sind jetzt im gesperrten Zustand, die Bitlines (300, 301) sind von den Datalines (307, 308) entkoppelt. Da die Bitswitch-Leitungen BITS 1, BITS 2, BITS 3 (401) während des gesamten Lesevorgangs auf GND liegen, sind die entsprechenden, an den p-Devices der Bitswitches anliegenden Signalleitungen BS 1, BS 2, BS 3 (404) auf VDD, die entsprechenden Devices sind daher gesperrt.

Bei der bisher geschriebenen Methode wird also der zur selektierten Bitline gehörigen Switch zu Beginn des Lesevorgangs durchgeschaltet, und bei Aktivierung des Sense-Amplifiers rückgesetzt (403). Man spricht in diesem Fall von einem positiven Selektionsschema, der selektierte Bitswitch wird an- und wieder ausgeschaltet.

Während des Restore-Vorgangs sind all die Devices, die zu Bitswitchen gehören, gesperrt. Während des Restore Vorgangs sind also die Datalines (307, 308) von all den Bitline-Paaren entkoppelt. Dies hat zur Folge, daß der Restore für jedes Bitline Paar, und für das Paar von Datalines separat durchgeführt werden muß. Durch ei-

ne Worst-Case-Betrachtung wird deutlich, welche Leistung die Restore-Devices erbringen können müssen, um in der vorgegebenen Restore Zeit einerseits alle Bitlines und Datalines auf VDD zu laden, andererseits den jeweiligen Ladungsausgleich zwischen der True und Komplementleitung herzustellen. Als Worst Case, was die Entladung der Bit- und Datalines anbelangt ist ein Write-Through-Zugriff auf ein Bitline-Paar, beispielsweise auf das Bitline Paar 0, zu betrachten. Dazu wird der Write-Bitswitch 0 leitend, und über eine der Data-In-Bitswitch-Leitungen (302, 303) wird entweder die True- oder die Complement Bitline (300, 301) vollständig auf GND Potential gezogen. Da gleichzeitig ein Lesezugriff auf dieses Bitline-Paar 0 stattfindet, ist auch der Read-Bitswitch, bestehend aus den Devices (309, 310), durchgeschaltet, die Datalines (307, 308) sind mit dem Bitline-Paar 0 verbunden. Da nun eine der Bitlines auf GND liegt, und da der Sense-Amplifier eine vorhandene Potentialdifferenz noch weiter verstärkt, wird auch eine der Datalines, entweder die True (307) oder die Complement (308) dataline, vollständig auf GND gesetzt. Die Bitline-Paare 1—3 sind nicht selektiert, insofern sind derer Bitswitches auch nicht in leitendem Zustand, dennoch wird jeweils eine Bitline des jeweiligen Paares von seiner zugeordneten Speicherzelle um einige 100 mV in Richtung DND gezogen.

All diese Potentialveränderungen müssen nun im Restore Vorgang kompensiert werden. Da beim positiven Selektionsschema alle Bitswitches während des Restore-Vorgangs deaktiviert sind, muß jedes Restore-Device für sich in der Lage sein, die zugehörigen Leitungen wieder aufzuladen. Daher muß der einem kleinen Paar zugeordnete Bit-Restore-Circuit in der Lage sein, während der Restore-Zyklus-Zeit eine Bitline von GND auf VDD zu laden. Entsprechend muß der Sense-Amplifier-Restore-Circuit in der Lage sein, eine Dataline, die sich auf GND Potential befindet, in der gegebenen Zeit auf VDD Potential zu bringen.

Dies ist jedoch insofern unwirtschaftlich, als jeder Restore-Circuit für sich in der Lage sein muß, eine Line in der gegebenen Zeit von GND auf VDD zu laden. Die anderen Restore-Circuits, deren Lines nicht auf GND abgesenkt wurden, sind während des Restore-Vorgangs nicht voll ausgelastet.

Außerdem ist es notwendig, die Restore-Devices für einen so großen Stromfluß auszulegen, so daß sie sehr groß ausgeführt werden müssen. Bemühungen, die SRAM Array weiter zu miniaturisieren, werden durch die hohen, von den Restore Devices geforderten Stromstärken nachhaltig behindert. Durch die großen Restore Devices entsteht noch ein weiterer Nachteil: Sowohl an den Bitlines als auch an den Datalines wirken die Restore Devices (325, 327 bzw. 330, 332) als parasitäre Kapazitäten, die den Ladungsfluß von der Speicherzelle über die Bitline zur Dataline erheblich verlangsamen. Würde man die Restore-Devices verkleinern, so würden auch diese parasitären Kapazitäten sinken, der Nachladevorgang wäre entsprechend beschleunigt. Dadurch könnten die Zykluszeiten weiter abgesenkt werden.

Das Ziel des erfindungsgemäßen Vorschlags ist nun, eine Kooperation der verschiedenen den verschiedenen Bitlines und Datalines zugeordneten Restore Devices in der Art zu ermöglichen, daß der Nachladestrom auf die vorhandenen Devices gleichmäßiger verteilt wird. Dadurch kann zum einen die Zykluszeit gesenkt werden, zum andern wird die von jedem Device zu schaltende Stromstärke reduziert, so daß die Devices verkleinert werden können. Insofern sinkt der Platzbedarf des Spei-

cherzellen-Arrays. Des weiteren weisen kleinere Restore Devices eine geringere Kapazität auf, so daß auch die parasitären Kapazitäten sowohl an den Bitlines als auch an den Datalines erheblich verringert werden können, was zu einem schnelleren Ladungsfluß von der Speicherzelle über die Bitlines zu den Datalines führt. Auch beim Schreibvorgang haben die geringeren parasitären Kapazitäten den Effekt, daß sich das GND Potential der Data-In-Line schneller zu der zu beschreibenden Speicherzelle hinfortpflanzen kann.

Die erfindungsgemäße Lösung besteht darin, während des Restore Vorgangs sämtliche Bitswitche auf Durchgang zu schalten, so daß die zu substituierende Ladung von allen Devices gemeinsam geliefert werden kann.

Die Schaltungen, die zur Realisierung einer derartigen Restore Methode erforderlich sind, sind in Fig. 5 und 6 dargestellt. Fig. 5 stellt die zum Lesen und für den Restore von Speicherzellen benötigten Schaltungsselemente noch einmal in einer gegenüber Fig. 3 leicht veränderten Anordnung dar. Die True (510) und die Complement Bitline (511) des Bitline-Paars 0 können über die Devices (506, 507) des Bitswitches 0 zu den True (517) und Complement (518) Datalines durchgeschaltet werden. Die Ansteuerung dieser Bitswitche erfolgt über die Signalleitungen BS 0 bis BS 3, die an den Gates (508, 509 etc. . .) der Bitswitch Devices anliegen. Wenn diese Gates auf GND Potential liegen, so werden sie leitend, andernfalls sind sie gesperrt. Jedes der vier Bitline Paare ist mit einer Column von Speicherzellen verbunden.

Zum Auslesen der Datalines ist wieder ein Sense-Amplifier vorgesehen, der eine vorhandene Potentialdifferenz der Datalines verstärkt. Dieser Sense-Amplifier besteht aus den Devices (519, 520, 521 und 522), die Aktivierung dieses Sense-Amplifiers geschieht über das N-Device (516). Diese N-Device wird leitend, wenn das an seinem Gate anliegende Signal einen Übergang von GND auf VDD macht. Dies ist der Fall, wenn das SSA Signal 515 von VDD auf GND übergeht.

In der Restore Phase werden sowohl der Restore der Bitlines als auch der Restore der Datalines von einem gemeinsamen Signal BLRST angestoßen. Wenn dieses Signal den VDD Pegel annimmt, so geht das durch den Inverter 501 invertierte Signal 500 auf einen GND Pegel über, der sowohl die Bitline Restore Devices aller 4 Bitline Paare als auch die Restore Devices des Datalines Paars in den leitenden Zustand schaltet. Dadurch wird beispielsweise das Bitline Paar 1 über die Devices 503, 505 mit VDD verbunden, das Device 504 sorgt für einen Ladungsausgleich zwischen der True und der Complement Bitline (510, 511). Entsprechend wird mit den anderen Bitline Paaren und den Datalines verfahren.

In Fig. 6 ist eine Ansteuerschaltung für die Bitswitches 0 bis 3 gezeigt, mit der der erfindungsgemäße Restore verwirklicht werden kann. Die in Fig. 6 gezeigte Schaltung muß für jede der Bitswitch-Leitungen BS0, BS1, BS2 und BS3 einmal vorhanden sein. Durch die n-Devices 602, 603 und 605 kann das GND-Potential auf die Signalleitung 606 durchgeschaltet werden. Dies geschieht, wenn irgendeines der Gate-Signale 600, 601, 604 auf VDD-Potential gesetzt wird. Insofern wird von der gezeigten Schaltung eine ODER-Verknüpfung der Signale SSA EARL und der Adreßsignale A6TC und A7TC durchgeführt; liegt irgendeines dieser Signale auf VDD, so wird die Leitung 606 auf GND gezogen. Dieses Signal 606 wird durch den Inverter 607 invertiert, das entstehende Signal 608 ist eines der Signale BS0 bis BS3 und kann direkt zum Ansteuern der in Fig. 5 gezeigten

Schaltung verwendet werden. Der Zustand des Signals 608 koppelt auf das p-Device 608 und das n-Device 609 zurück, an deren Gate-Elektroden es anliegt. Wenn Signal 608 auf VDD liegt, ist Signal 606 über das — nun leitend gewordene — Device 610 mit GND verbunden; liegt Signal 608 auf GND, so wird das Device 609 leitend, Signal 606 liegt auf VDD.

Mithilfe dieser erfindungsgemäßen Schaltung kann nun ein negatives Selektionsschema für die Bitswitches implementiert werden, bei dem während des Restore-Vorgangs alle Bitswitches aktiv sind, und beim Übergang zum Schreib-/Lesevorgang die nicht selektierten Bitlines weggeschaltet werden (negativer Selekt). Über den einen noch geöffneten Bitswitch findet der Schreib-/Lesezugriff auf das Array statt, und mit dem Einsetzen eines Auslesepulses wird auch dieser Bitswitch deaktiviert.

Diesen Signalverlauf beim negativen Selektionsschema zeigt Fig. 7. Jede der vier pro Makro vorhandenen Schaltungen nach Fig. 6 steuert eine Bitswitch-Leitung BS0, . . . BS3 an. Je nachdem, welcher der vier Bitswitches betroffen ist, ist entweder die True- oder die Complement-Leitung von Adreßbit 7 und die True- oder Complement-Leitung von Adreßbit 7 mit den Gates der FETs 602 und 603 verbunden. Die vier verschiedenen Kombinationsmöglichkeiten 6C/7C, 6C/7T, 6T/7C, 6T/7T bestimmen die Beschaltung der vier Circuits. Die Signale der beiden, A6 und A7 betreffenden Adreßleitungen sind in 700 und 701 gezeigt. Während des Restore-Vorgangs sind beide Adreßleitungen auf GND, erst bei Selektion der Bitline durch A6/A7 (707) werden die Signale gesetzt. Mit der Adressierung bauen sich die entsprechenden Potentialdifferenzen an den Datalines auf. Nach einer gewissen Zeit wird das Signal SSA_EARL gesetzt (702), das den Sense-Amplifier aktiviert.

Die drei Devices 602, 603 und 605 führen nun eine ODER-Verknüpfung der anliegenden Signale durch. Wenn Signal 600 oder Signal 601 oder Signal 604 auf VDD liegen, wird das Signal 606 auf GND gelegt. Der Signalverlauf von 606 ist in Fig. 7 sowohl für den Fall, daß die Bitswitch-Leitung, für die der Circuit zuständig ist, adressiert ist (704, selektierte Bitlinie) als auch für den Fall, daß sie nicht selektiert ist, dargestellt (703, nicht-selektierte Bitlinie).

Im Falle der selektierten Bitlinie müssen beide Adreßleitungen (700, 701) zwischen den Zeitpunkten 707 und 708 auf GND gelegen haben, denn da in diesem Bereich auch SSA_EARL (702) noch auf GND liegt, wird GND nicht auf Signal 606 durchgeschaltet (704), zwischen 707 und 708 bleibt Signal 606 auf VDD. Liegt dagegen eine der Adreßleitungen auf VDD, so wird die Signalleitung 606 sofort mit Einsetzen der Adreßselektion 707 auf GND gezogen (703).

Das durch den Inverter 607 invertierte Signal 606 kann nun sofort zum Ansteuern der Bitswitches von Fig. 5 verwendet werden. Die Bitswitch-Devices 506, 507, etc. von Fig. 5 sind p-Devices, die bei Anlegen von GND leitend werden.

Insofern ist erkennbar, daß die Signale BSx (705, 706) ein negatives Selektionsschema realisieren können. Während des Restores sind alle Bitswitches leitend, da alle BSx-Signale auf GND liegen. Nach der Adreßselektion leitet nurmehr der selektierte Bitswitch (706), alle anderen werden ausgeschaltet. Mit dem Einsetzen des SSA-Pulses wird dann auch der eine noch leitende Bitswitch gesperrt.

Insofern kann mit der in Fig. 6 gezeigten Schaltung

ein negatives Bitswitch-Selektionsschema verwirklicht werden. Die Bitswitches werden während des Restore-Vorgangs verwendet, um alle Bitlines und Datalines zu koppeln, später dann, um das richtige Bitlinepaar mit den Datalines zu verbinden.

Insbesondere ist wichtig, daß die in Fig. 3 mit großem Hardwareaufwand realisierte Desaktivierung des letzten Bitswitches jetzt auf einfache Weise mit dem Device 605 in Fig. 6 realisiert werden kann. Der negative Select bietet also auch Vorteile in der Hardwarerealisation.

In Fig. 8 ist ein Signaldiagramm für den Fall des Lesezugriffs auf eine Speicherzelle gezeigt. Mit dem Signal "nicht-sel. BS" werden kurz nach dem Ende des Restore-Vorgangs alle bis auf einen Bitswitch ausgeschaltet, kurz nach dem SSA-Puls wird dann auch der verbliebene Bitswitch abgeschaltet ("sel. BS").

In der unteren Hälfte ist der Signalverlauf auf den Bit- und Datalines dargestellt.

Fig. 9 zeigt den Signalverlauf für den Fall des "Write-Through". Hier wird also ein und dieselbe Speicherzelle in einem Zyklus beschrieben und ausgelesen.

Wieder werden zunächst die nicht-adressierten Bitswitches abgeschaltet ("nicht-sel. BS"), nach dem SSA-Puls dann die selektierten ("sel. BS"). Im Unterschied zu Fig. 8 wird hier aber auch der Write-Bitswitch aktiviert (Signal WBS).

Im unteren Teil ist zu sehen, daß eine der selektierten Bitlines bis auf GND abfällt, da sie ja über ihren leitenden Bitswitch mit dem Schreibpfad in Verbindung steht. Dies stellt also den "worst-case" für den Restore dar.

Patentansprüche

1. Vorrichtung zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays, bei welcher ein Schreib- und/oder Lesezugriff mittels mindestens zweier Schreib- und/oder Leseleitungen erfolgt, und bei welcher die Schreib- und/oder Leseleitungen während einer Restore-Phase auf ein Ausgangspotential (VDD) gebracht werden, dadurch gekennzeichnet, daß Mittel zum Verbinden von mindestens zwei der Schreib- und/oder Leseleitungen während der Restore-Phase zum Potentialausgleich zwischen den Schreib- und/oder Leseleitungen vorgesehen sind.
2. Vorrichtung zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Schreib- und/oder Leseleitungen sowohl zentrale Schreib- und/oder Leseleitungen als auch den einzelnen Speicherzellen zugeordnete Schreib- und/oder Leseleitungen umfassen, wobei Selektionsmittel zum Verbinden von mindestens einer der den einzelnen Speicherzellen zugeordneten Schreib- und/oder Leseleitungen mit der/ den zentralen Schreib- und/oder Leseleitung(en) vorgesehen sind, und wobei ein Schreib- und/oder Lesevorgang über die zentrale(n) Schreib- und/oder Leseleitung(en) erfolgt.
3. Vorrichtung zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß während der Restore-Phase mindestens eine der

den einzelnen Speicherzellen zugeordneten Schreib- und/oder Leseleitungen mit der/ den zentralen Schreib- und/oder Leseleitung(en) durch Aktivierung der Selektionsmittel verbunden ist.

4. Vorrichtung zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Schreib- und/oder Leseleitungen aus Paaren von True- und Complement-Leitungen gebildet sind,

wobei während des Schreib- und/oder Lesevorgangs das Potential der True-Leitung oder der Complement-Leitung abgesenkt wird.

5. Vorrichtung zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß während der Restore-Phase alle der den einzelnen Speicherzellen zugeordneten Schreib- und/oder Leseleitungen mit der/ den zentralen Schreib- und/oder Leseleitung(en) durch Aktivierung der Selektionsmittel verbunden sind.

6. Vorrichtung zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß während der Schreib- und/oder Lese-Phase mindestens eine der den einzelnen Speicherzellen zugeordneten Schreib- und/oder Leseleitungen mit der/ den zentralen Schreib- und/oder Leseleitung(en) durch Aktivierung der Selektionsmittel verbunden ist.

7. Vorrichtung zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die zentrale(n) Schreib- und/oder Leseleitung(en) mit einer Ausleseeinheit verbunden ist/sind, wobei ab dem Aktivieren der Ausleseeinheit die Selektionsmittel deaktiviert sind, so daß keine der den einzelnen Speicherzellen zugeordneten Schreib- und/oder Leseleitungen mit der/ den zentralen Schreib- und/oder Leseleitung(en) verbunden ist.

8. Vorrichtung zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Selektionsmittel jeweils einer der Speicherzellen zugeordnet sind.

9. Vorrichtung zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die einer Speicherzelle zugeordneten Selektionsmittel deaktiviert sind, wenn die Speicherzelle nicht adressiert ist, oder wenn die mit der/ den zentralen Leitung(en) verbundene Ausleseeinheit deaktiviert ist.

10. Verfahren zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays, wobei ein Schreib- und/oder Lesezugriff mittels mindestens zweier Schreib- und/oder Leseleitungen durchgeführt wird, und wobei die Schreib- und/oder Leseleitungen während einer Restore-Phase auf ein Ausgangspotenti-

al (VDD) gebracht werden, dadurch gekennzeichnet, daß während der Restore-Phase zum Potentialausgleich zwischen den Schreib- und/oder Leseleitungen mindestens zwei der Schreib- und/oder Leseleitungen verbunden werden. 5

11. Verfahren zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Schreib- und/oder Leseleitungen sowohl zentrale Schreib- und/oder Leseleitungen als auch den einzelnen Speicherzellen zugeordnete Schreib- und/oder Leseleitungen umfassen, wobei Selektionsmittel zum Verbinden von mindestens einer der einzelnen Speicherzellen zugeordneten Schreibund/oder Leseleitungen mit der/ den zentralen Schreibund/oder Leseleitung(en) vorgesehen sind, und wobei ein Schreib- und/oder Lesevorgang über die zentrale(n) Schreib- und/oder Leseleitung(en) erfolgt. 20

12. Verfahren zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß während der Restore-Phase mindestens eine der den einzelnen Speicherzellen zugeordneten Schreib- und/oder Leseleitungen mit der/ den zentralen Schreib- und/oder Leseleitung(en) durch Aktivierung der Selektionsmittel verbunden wird. 30

13. Verfahren zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Schreib- und/oder Leseleitungen aus Paaren von True- und Complement-Leitungen gebildet werden, 35

wobei während des Schreib- und/oder Lesevorgangs das Potential der True-Leitung oder der Complement-Leitung abgesenkt wird. 40

14. Verfahren zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß während der Restore-Phase alle der den einzelnen Speicherzellen zugeordneten Schreib- und/oder Leseleitungen mit der/ den zentralen Schreib- und/oder Leseleitung(en) durch Aktivierung der Selektionsmittel verbunden werden. 50

15. Verfahren zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß während der Schreib- und/oder Lese-Phase mindestens eine der den einzelnen Speicherzellen zugeordneten Schreibund/oder Leseleitungen mit der/ den zentralen Schreibund/oder Leseleitung(en) durch Aktivierung der Selektionsmittel verbunden wird. 60

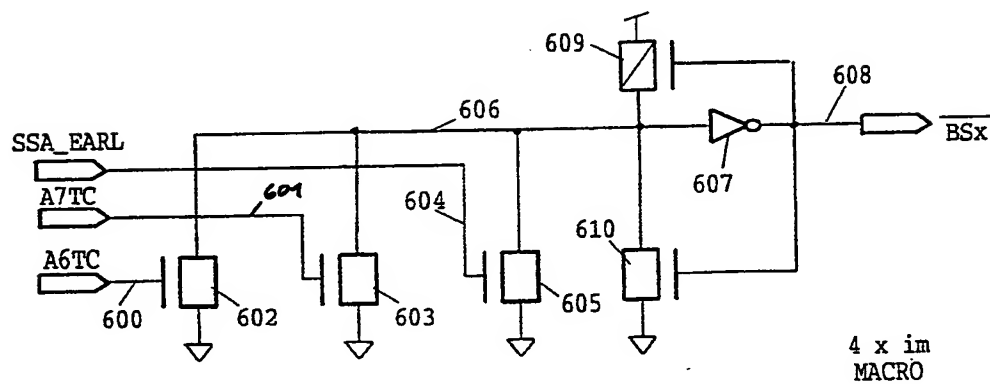
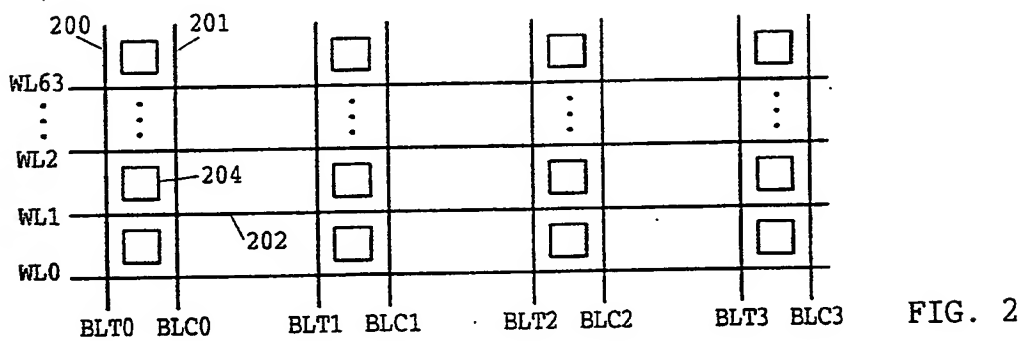
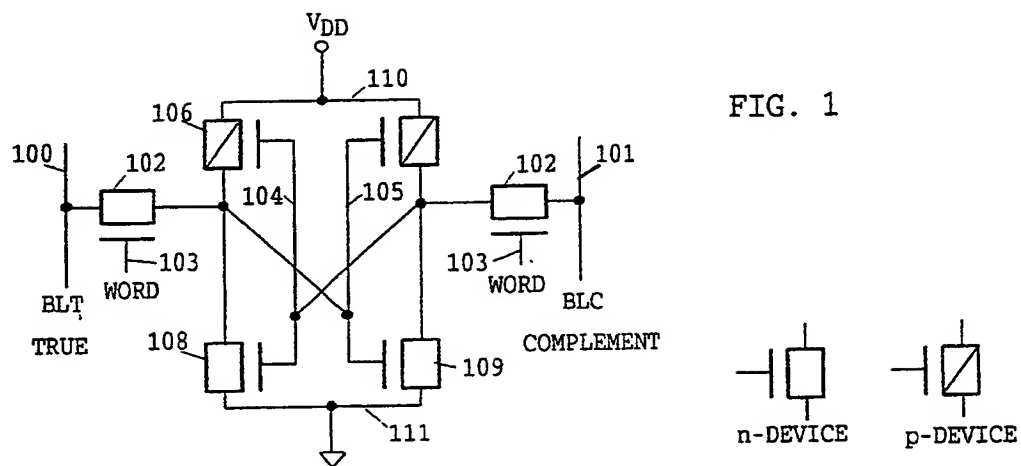
16. Verfahren zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die zentrale(n) Schreib- und/oder Leseleitung(en) mit einer Ausleseseinheit verbunden ist/sind, wobei mit dem Aktivieren der Ausleseseinheit die Selektionsmittel deaktiviert werden, so daß keine 65

der den einzelnen Speicherzellen zugeordneten Schreibund/oder Leseleitungen mit der/ den zentralen Schreibund/oder Leseleitung(en) verbunden ist.

17. Verfahren zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Selektionsmittel jeweils einer der Speicherzellen zugeordnet sind.

18. Verfahren zum Schreiben und/oder Lesen mindestens einer Speicherzelle eines Speicherzellen-Arrays nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die einer Speicherzelle zugeordneten Selektionsmittel deaktiviert werden, wenn die Speicherzelle nicht adressiert wird, oder wenn die mit der/ den zentralen Leitungen verbundene Ausleseseinheit deaktiviert wird.

Hierzu 7 Seite(n) Zeichnungen



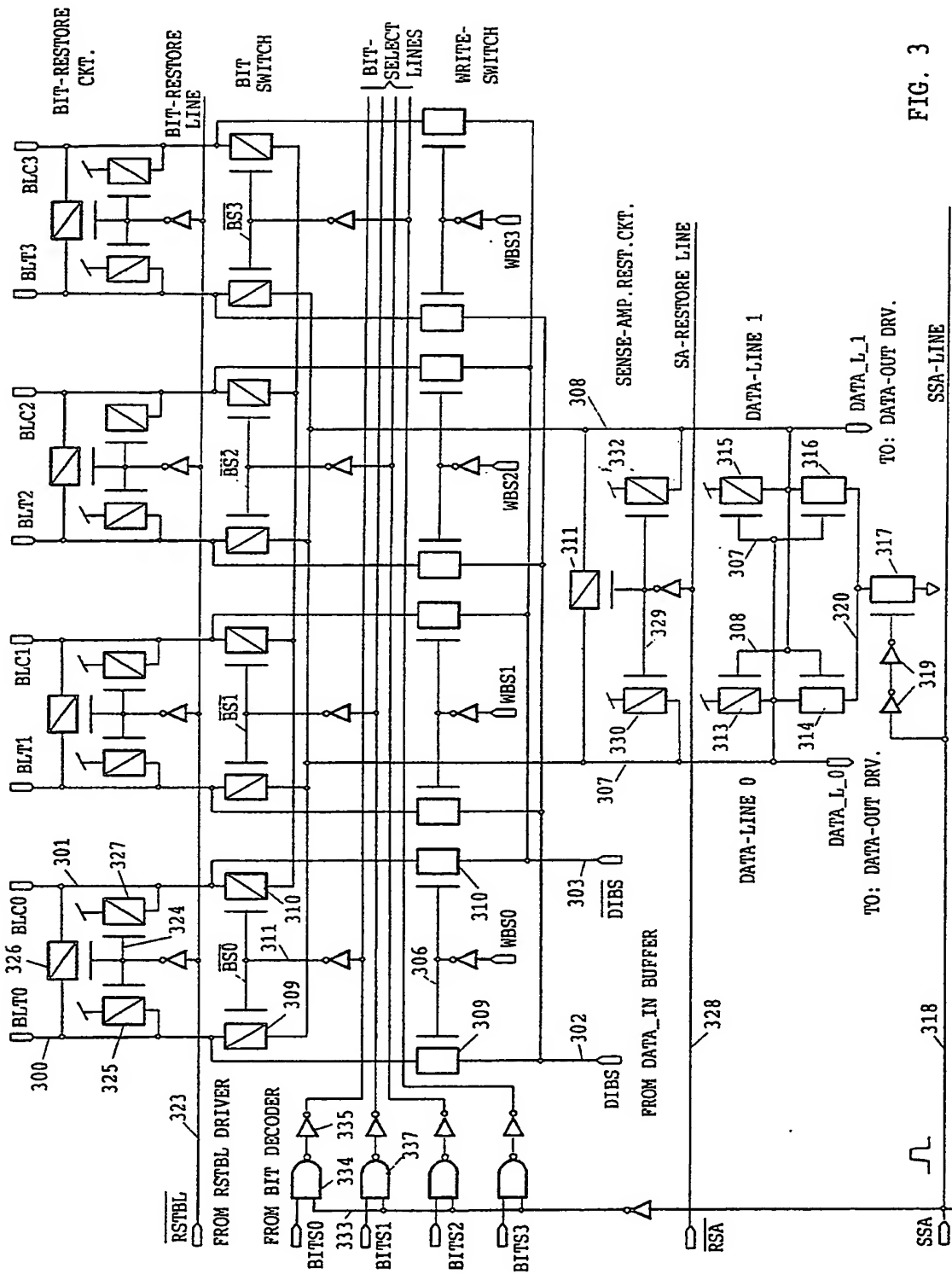


FIG. 3

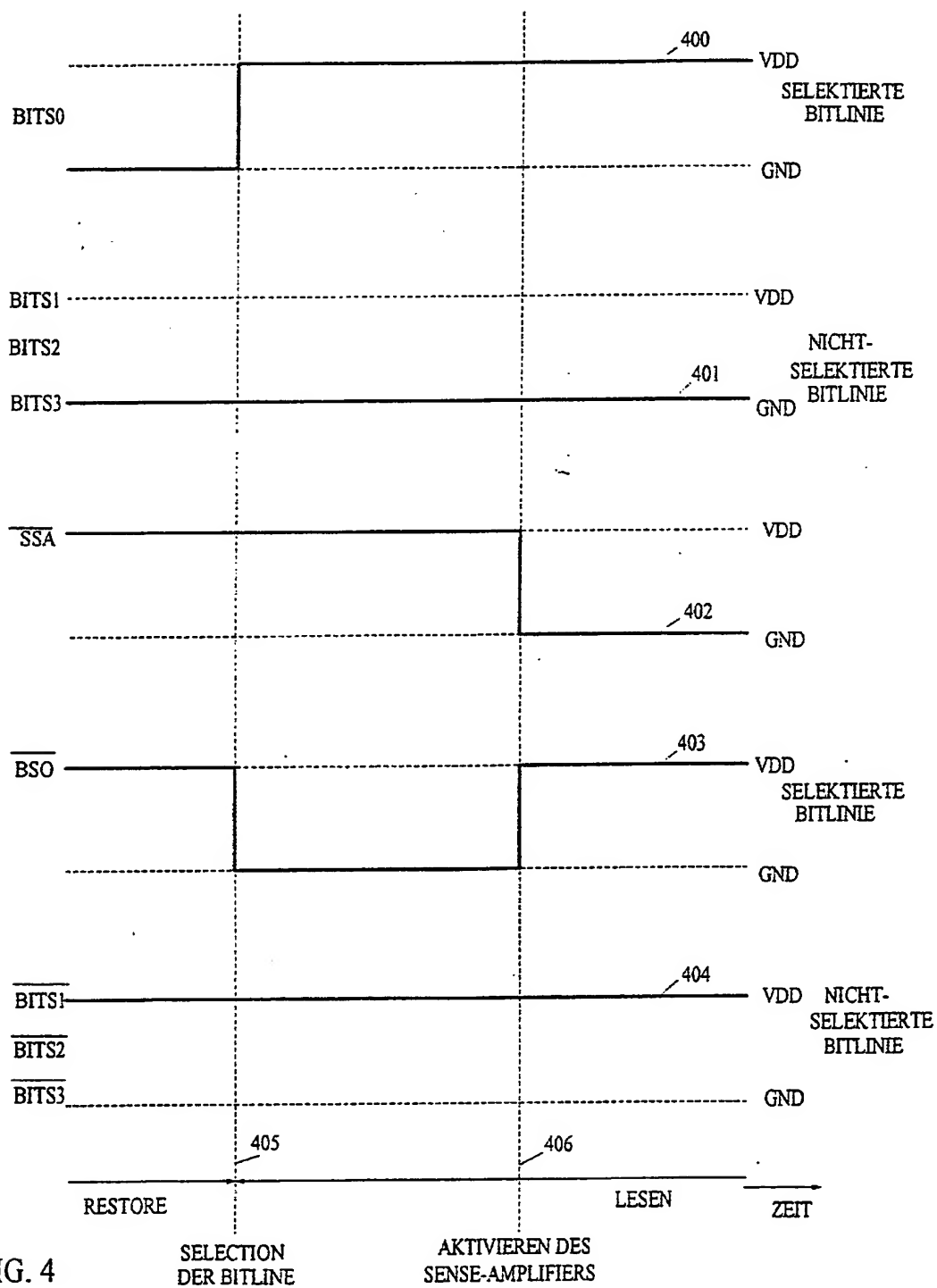


FIG. 4

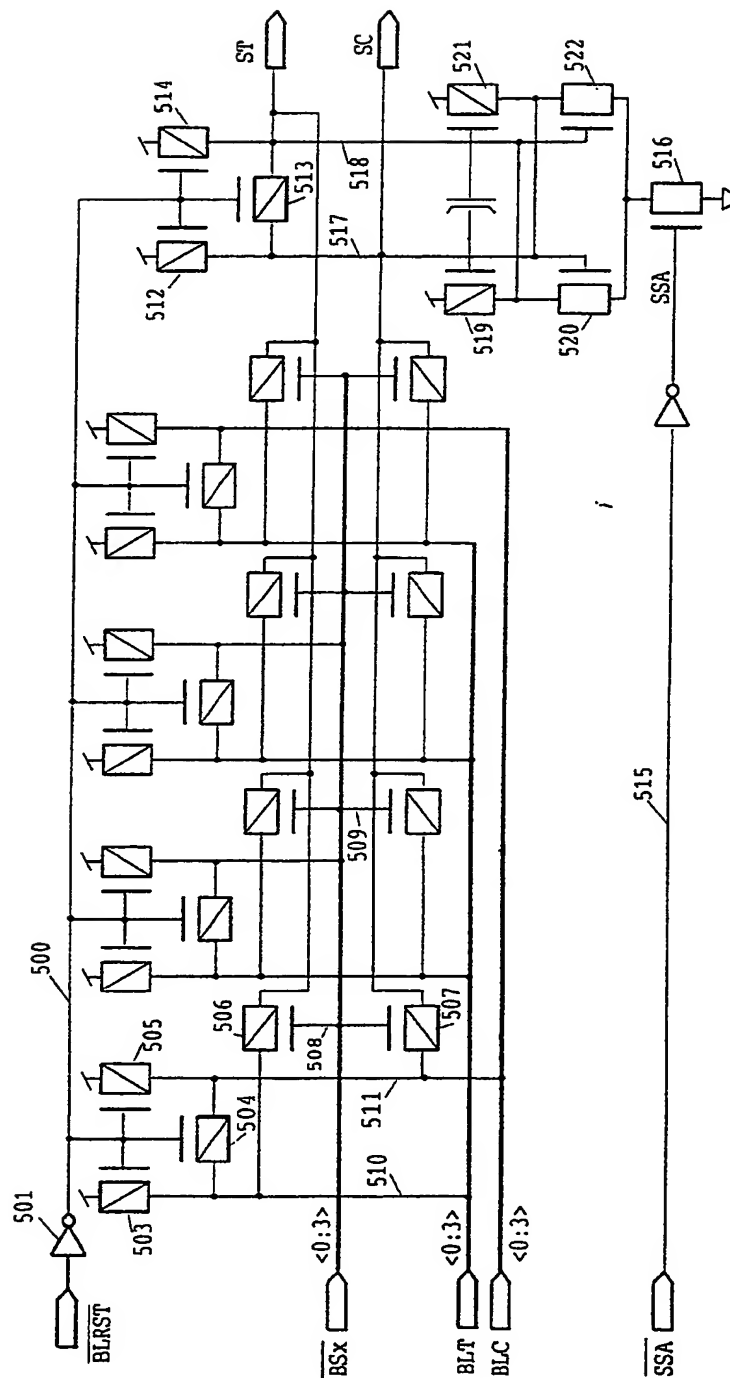


FIG. 5

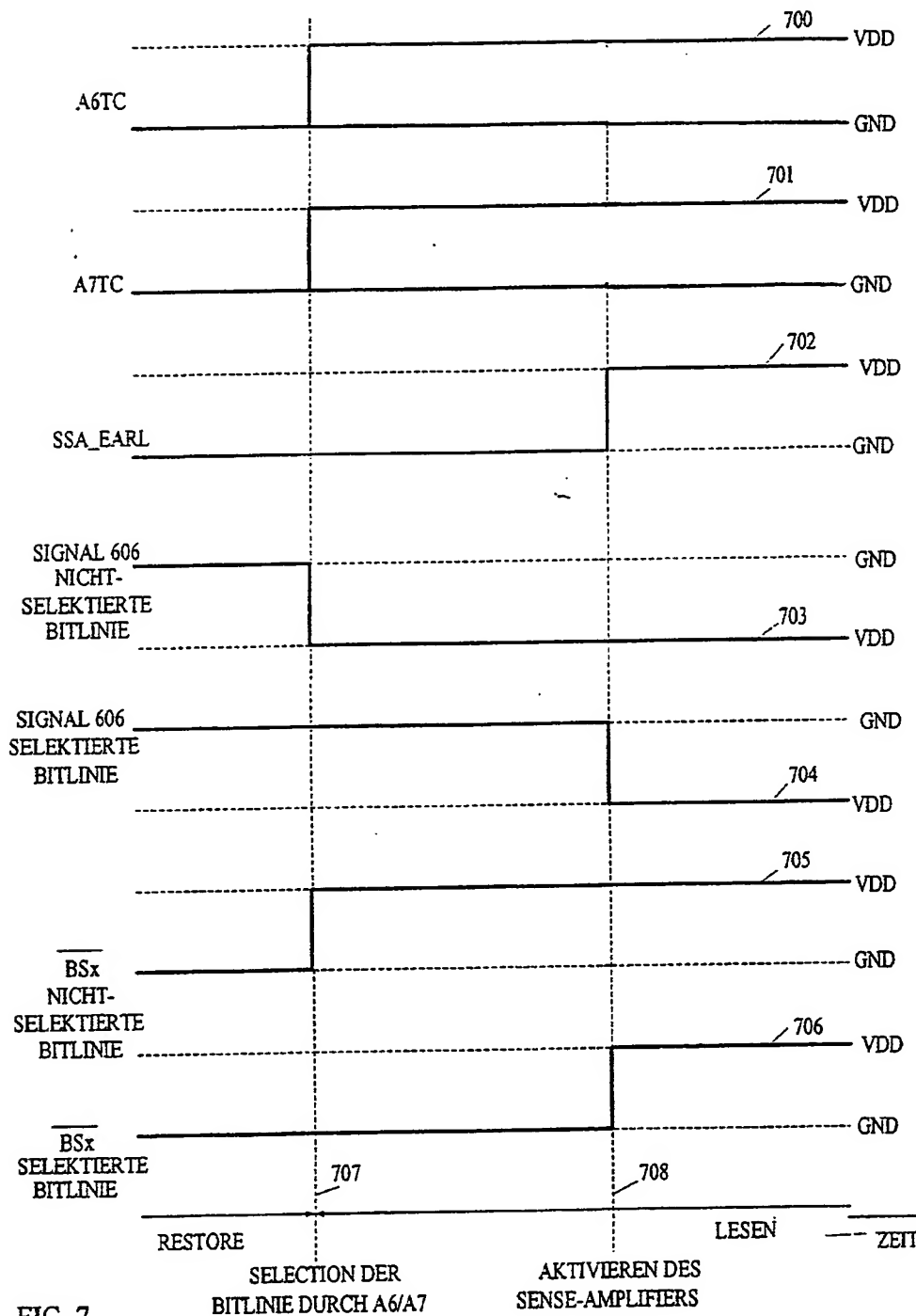


FIG. 7

FIG. 8

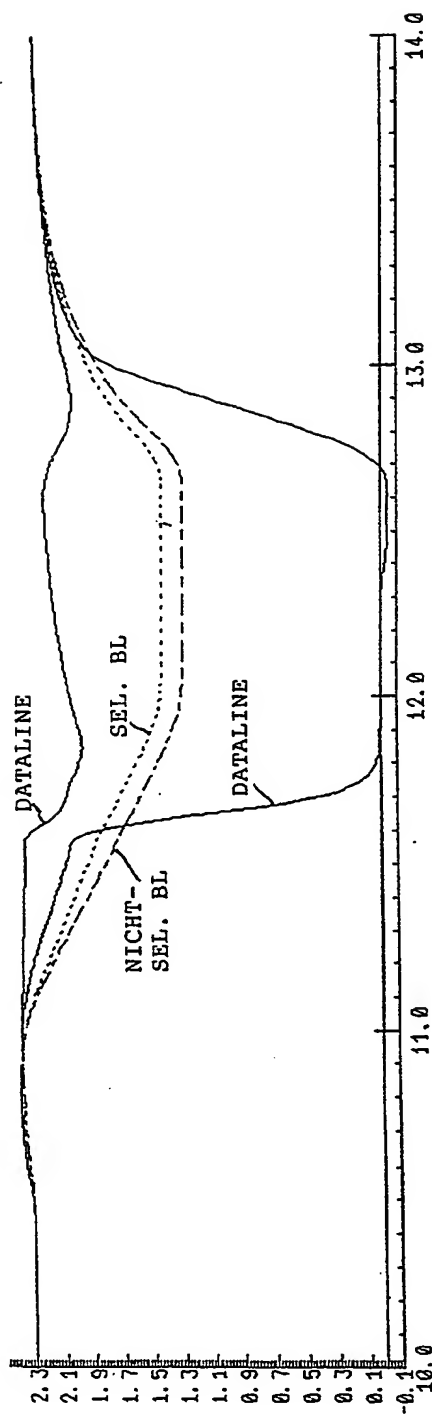
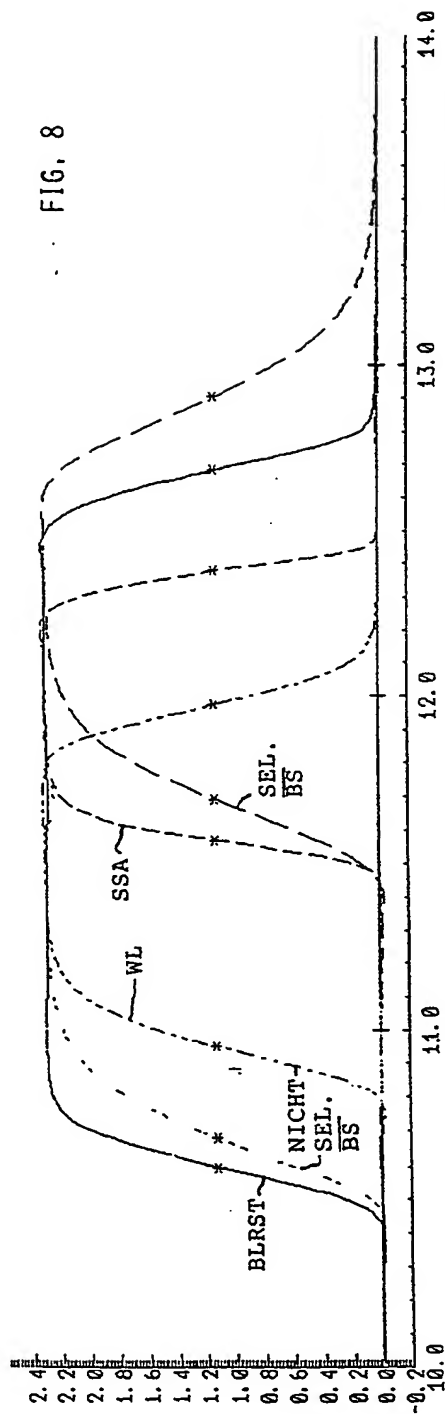
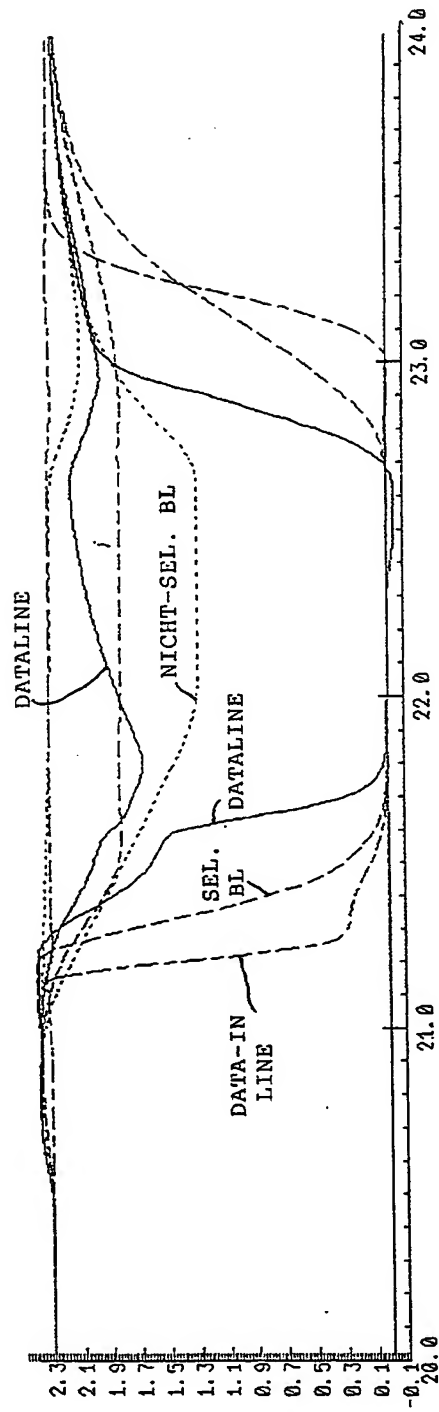
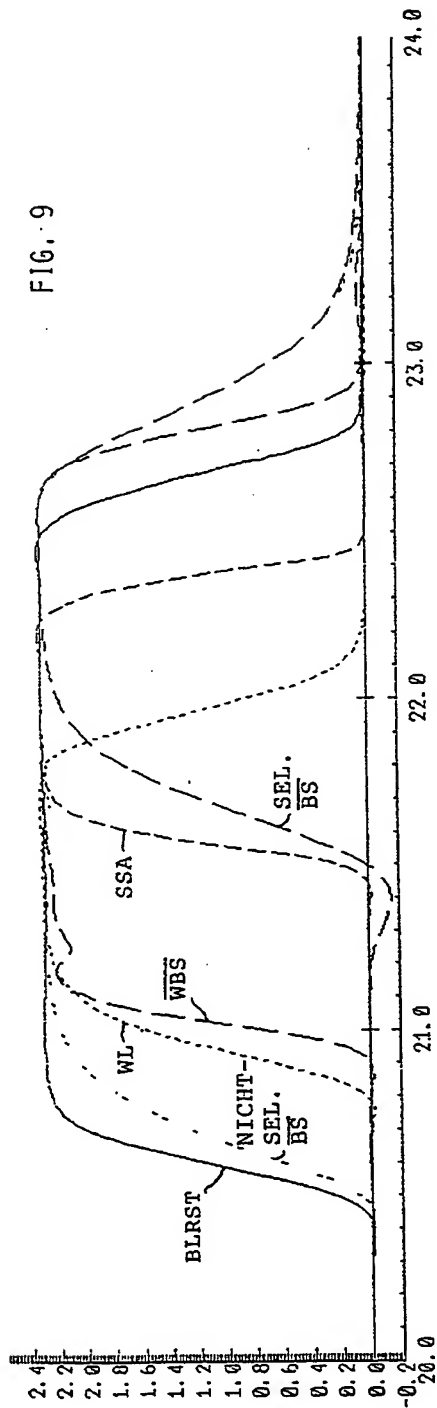


FIG. 9



Impr ved restore function for mem ry cells using negative bitlin -selecti n

Patent Number: EP0825612, A3
Publication date: 1998-02-25
Inventor(s): PILLE JUERGEN (DE); WENDEL DIETER (DE); BUETTNER STEFAN (DE); WERNICKE FRIEDRICH (DE)
Applicant(s): IBM (US)
Requested Patent: DE19632780
Application Number: EP19970114042 19970814
Priority Number(s): DE19961032780 19960815; US19970782204 19970110
IPC Classification: G11C11/419
EC Classification: G11C11/419
Equivalents: JP10069772, US5798975
Cited patent(s): US4893278; EP0416827; EP0237813

Abstract

A new method is indicated for the restore of bitlines and datalines from memory-cells. All bit- and datalines are switched together during the restore activity so that all restore-FETs can be prepared with the necessary re-charging current. The non-addressed bitlines are then switched off through their bitswitches. In this manner, the dimensions of the re-charging devices can be

considerably reduced. 

Data supplied from the esp@cenet database - I2

ALL INFORMATION CONTAINED
HEREIN IS UNCLASSIFIED
DATE 02-20-01 BY
SP-2000 AGENT/1007110H
C111-222 (A13) .JLT

THIS PAGE BLANK (USPTO)

DOCKET NO: MUH-12894

SERIAL NO: _____

APPLICANT: M. Pröhl et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100